

PAT-NO: JP403294922A

DOCUMENT-IDENTIFIER: JP 03294922 A

TITLE: SYSTEM CONSTITUTION  
CHECKING/CONTROLLING CIRCUIT

PUBN-DATE: December 26, 1991

INVENTOR-INFORMATION:

NAME

ISHIKAWA, HIDENORI

ASSIGNEE-INFORMATION:

NAME

NEC IBARAKI LTD

COUNTRY

N/A

APPL-NO: JP02097065

APPL-DATE: April 12, 1990

INT-CL (IPC): G06F009/06

ABSTRACT:

**PURPOSE:** To prevent the system from being operated erroneously by comparing revision history information read out of plural slave stations for constituting an information processing system, and allowable revision history information generated from system generation information for showing the changed system constitution and selecting the validity of its slave station.

**CONSTITUTION:** A system constitution check circuit 6 confirms the validity of a slave station 3-i by system generation information read out of a system generation storage circuit 4, and hardware existence information and revision history information of each slave station 3-i read out of an extracting circuit 5. By the confirmation of this validity, the slave station 3-i decided to be illegal by the system constitution check circuit 6 and the revision history information at that time are stored in a system constitution information noncoincidence storage circuit (noncoincidence storage circuit) 7, and reported to a central processor unit 1 from this noncoincidence circuit 7. In such a way, it can be prevented that the system is operated erroneously.

COPYRIGHT: (C)1991,JPO&Japio

## ⑫ 公開特許公報(A) 平3-294922

⑤ Int.Cl.<sup>3</sup>

G 06 F 9/06

識別記号

4 1 0 C

庁内整理番号

7927-5B

⑬ 公開 平成3年(1991)12月26日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 システム構成チェック制御回路

⑮ 特 願 平2-97065

⑯ 出 願 平2(1990)4月12日

⑰ 発 明 者 石 川 英 則 茨城県真壁郡関城町関館字大茶367-2 茨城日本電気株式会社内

⑱ 出 願 人 茨城日本電気株式会社 茨城県真壁郡関城町関館字大茶367-2

⑲ 代 理 人 弁理士 柳 川 信

## 明 細 書

## 1. 発明の名称

システム構成チェック制御回路

## 2. 特許請求の範囲

(1) 中央処理装置と、各々実装されたハードウェアを示すハードウェア存在情報と前記ハードウェアの改版状況を示す改版履歴情報とを有する複数の従局とからなる情報処理システムのシステム構成チェック制御回路であって、変更されたあとのシステム構成を示すシステムジェネレーション情報を保持する保持手段と、前記複数の従局各々から前記ハードウェア存在情報および前記改版履歴情報を読出す読出し手段と、前記読出し手段により読出された前記ハードウェア存在情報および前記改版履歴情報を格納する格納手段と、前記システムジェネレーション情報において許容される改版履歴情報を示す改版許可情報を前記システムジェネレーション情報から生成する生成手段と、前記格納手段に格納された前記ハードウェア存在

情報および前記改版履歴情報と、前記生成手段で生成された前記改版許可情報とを比較し、前記従局毎に正当性を判定する判定手段と、前記判定手段により不当と判定された従局を前記中央処理装置に通知する通知手段とを設けたことを特徴とするシステム構成チェック制御回路。

## 3. 発明の詳細な説明

## 技術分野

本発明はシステム構成チェック制御回路に関し、特に情報処理システムのシステム構成チェック制御方式に関する。

## 従来技術

従来、情報処理システムのシステム構成チェック制御方式は、従局からハードウェア要素の存在情報を読込み、その存在情報からハードウェア要素の実装および未実装をチェックする方式となっていた。

このような従来 of システム構成チェック制御方式では、ハードウェア要素の存在情報を読込み、その存在情報によりシステム構成条件をチェック

しているので、システムジェネレーション情報と実際のハードウェア要素の改版状況とに適合した動作を行うかどうか動作させてみなければ解らないという欠点がある。

また、システムのハードウェア要素の改版履歴情報とシステムジェネレーション情報との不一致のために引き起こされる、たとえば改版されていないために引き起こされるハードウェア要素の機能デグレード等の動作上の障害発生の原因であるハードウェア要素の究明に時間が費やされるという欠点がある。

#### 発明の目的

本発明は上記のような従来のものの欠点を除去すべくなされたもので、システムが誤って運用されるのを防止することができ、システムジェネレーション情報を満足しないハードウェアを直接指摘することができるシステム構成チェック制御回路の提供を目的とする。

#### 発明の構成

本発明によるシステム構成チェック制御回路は、

#### 実施例

次に、本発明の一実施例について図面を参照して説明する。

第1図は本発明の一実施例の構成を示すブロック図である。図において、中央処理装置1は情報処理システムのシステム構成チェックを行う前に、内部バス100を介してシステムジェネレーション情報記憶回路4にハードウェア存在情報、改版履歴情報、改版をどの範囲まで許容させるかを指示する改版許容情報等から構成される各従局3-1 ( $i = 1, \dots, n$ ) のシステムジェネレーション情報を与える。

システムジェネレーション情報記憶回路4は与えられたシステムジェネレーション情報を記憶すると同時に、改版履歴情報と改版許容情報とからどの範囲まで改版履歴を許容するかを示す最終的な改版履歴情報を生成する。

中央処理装置1は内部バス100を介してサービスプロセッサ専用バス制御回路(以下バス制御回路とする)2に、複数のハードウェア要素から構

成される複数の従局と、各々実装されたハードウェアを示すハードウェア存在情報と前記ハードウェアの改版状況を示す改版履歴情報とを有する複数の従局とからなる情報処理システムのシステム構成チェック制御回路であって、変更されたあとのシステム構成を示すシステムジェネレーション情報を保持する保持手段と、前記複数の従局各々から前記ハードウェア存在情報および前記改版履歴情報を統出す統出し手段と、前記統出し手段により統出された前記ハードウェア存在情報および前記改版履歴情報を格納する格納手段と、前記システムジェネレーション情報において許容される改版履歴情報を示す改版許容情報を前記システムジェネレーション情報から生成する生成手段と、前記格納手段に格納された前記ハードウェア存在情報および前記改版履歴情報と、前記生成手段で生成された前記改版許容情報とを比較し、前記従局毎に正当性を判定する判定手段と、前記判定手段により不当と判定された従局を前記中央処理装置に通知する通知手段とを設けたことを特徴とする。

成される複数の従局3-1のハードウェア存在情報および改版履歴情報の統取りを指示する。

バス制御回路2は中央処理装置1からの指示を受取ると、サービスプロセッサ専用バス101を介して従局3-1のハードウェア存在情報および改版履歴情報を順次統取り、それらハードウェア存在情報および改版履歴情報をハードウェア要素改版履歴情報抽出回路(以下抽出回路とする)5に送出する。

抽出回路5はバス制御回路2から送られてきた従局3-1のハードウェア存在情報および改版履歴情報を、各従局3-1毎に抽出整理して記憶する。

システム構成チェック回路6はシステムジェネレーション情報記憶回路4から統出したシステムジェネレーション情報と、抽出回路5から統出した各従局3-1のハードウェア存在情報および改版履歴情報により従局3-1の正当性の確認を行う。

この正当性の確認によりシステム構成チェック回路6で不正と判定された従局3-1およびそのときの改版履歴情報はシステム構成情報不一致記憶

回路（以下不一致記憶回路とする）7に記憶され、この不一致記憶回路7から中央処理装置1に報告される。

第2図は本発明の一実施例の動作を示すフローチャートである。これら第1図および第2図を用いて本発明の一実施例の動作について説明する。

中央処理装置1の指示でバス制御回路2により従局3-1から読取られたハードウェア存在情報および改版履歴情報が抽出回路5に記憶されると、システム構成チェック回路6は抽出回路5から従局3-1のハードウェア存在情報を読出してチェックし、システムジェネレーション情報記憶回路4から読出したシステムジェネレーション情報とシステム構成の実構成とを比較する（第2図ステップ11）。

システム構成チェック回路6は従局3-1のハードウェア存在情報のチェックによりシステム構成の実構成が異常であると判断すると（第2図ステップ12）、その従局3-1を不正と判定して不一致記憶回路7に記憶させて中央処理装置1に報告

一方、従局3-1の改版履歴情報が許容範囲に入っていないければ、システム構成チェック回路6は異常と判定し（第2図ステップ15）、その従局3-1とそのときの改版履歴情報とを不一致記憶回路7に記憶させ、システム構成情報の不一致を中央処理装置1に報告する（第2図ステップ16）。

このように、サービスプロセッサ専用バス101を介して従局3-1から読取られた改版履歴情報と、オペレータによって設定されたシステムジェネレーション情報とを比較するようにすることによって、現在運用すべき情報処理装置のシステム構成が満足するものであるかどうかを認識することができるので、システムが誤って運用されることを未然に防止することができる。

また、各従局3-1の改版履歴情報とオペレータによって設定されたシステムジェネレーション情報から生成された許容すべき改版履歴情報とが不一致であれば、システムジェネレーション情報を満足しない従局3-1を直接指摘することができる。

#### 発明の効果

する（第2図ステップ16）。

また、システム構成チェック回路6はシステム構成の実構成が正常であると判断すると（第2図ステップ12）、抽出回路5から従局3-1の改版履歴情報を読出し（第2図ステップ13）、この改版履歴情報がシステムジェネレーション情報記憶回路4で生成された最終的な改版履歴情報の許容範囲に入っているかをチェックする（第2図ステップ14）。

たとえば、改版履歴情報がA、B、C、D、Eとあった場合に、システムジェネレーション情報記憶回路4によって生成された最終的な改版履歴情報の許容範囲がC、D、Eと算出されたときには、システム構成チェック回路6により抽出回路5から読出した従局3-1の改版履歴情報がC、D、Eのいずれかであるか否かが確認される。

従局3-1の改版履歴情報が許容範囲に入っているれば、システム構成チェック回路6は正常と判定し（第2図ステップ15）、その確認処理を終了する。

以上説明したように本発明によれば、情報処理システムを構成する複数の従局から読出した改版履歴情報と、変更されたあとのシステム構成を示すシステムジェネレーション情報から生成された許容すべき改版履歴情報とを比較してその従局の正当性を判定するようにすることによって、該システムが誤って運用されるのを防止することができ、システムジェネレーション情報を満足しない従局を直接指摘することができるという効果がある。

#### 4. 図面の簡単な説明

第1図は本発明の一実施例の構成を示すブロック図、第2図は本発明の一実施例の動作を示すフローチャートである。

#### 主要部分の符号の説明

- 1 …… 中央処理装置
- 2 …… サービスプロセッサ専用  
バス制御回路
- 3-1～3-n …… 従局
- 4 …… システムジェネレーション

情報記憶回路

5 …… ハードウェア要素

改版履歴情報抽出回路

6 …… システム構成チェック回路

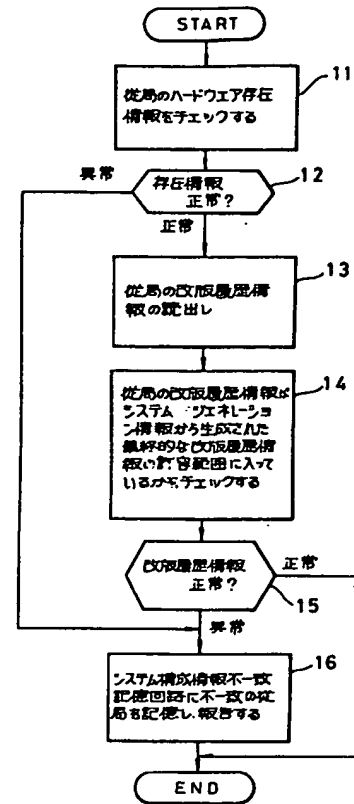
7 …… システム構成情報

不一致記憶回路

出願人 茨城日本電気株式会社

代理人 弁理士 柳川 信

第2図



第1図

